

Questa - это лидирующая платформа верификации полностью поддерживающая SystemVerilog и новые возможности управления верификацией, который позволяет связывать план верификации с результатами тестов полноты покрытия.

**Основные возможности**

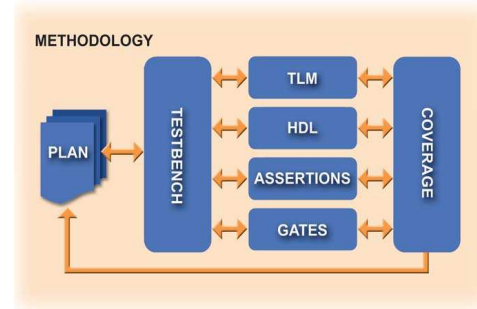
- \* Поддержка объектно-ориентированных, основанных на использовании классов методов верификации, включая разработанную Mentor Graphics методологию расширенной верификации (AVM)
- \* Встроенная возможность моделирования потребляемой мощности позволяет проверять маломощные схемы на регистровом уровне (RTL)
- \* Унифицированная поддержка всех стандартных языков: SystemVerilog, SystemC, VHDL, Verilog, PSL, and C/C++
- \* Проектирование на высоком уровне на языках SystemVerilog и SystemC, с поддержкой смешанного моделирования и доступ к результатам на уровне транзакций
- \* Автоматизированные тестовые воздействия с высокоэффективной системой генерации условно случайных сигналов
- \* Улучшенное качество верификации методом "Управления верификацией"
- \* Поддержка библиотеки ассертов Open Verification Library (OVL) от компании Accellera а также библиотеки Questa Verification Library (QVL), как для сложных тестов на основе ассертов, так и обычных контролеров протокола.
- \* Непревзойденная производительность для регистрового и вентильного уровня
- \* Мощный, интуитивно-понятный многоязыковой интерфейс пользователя ускоряет анализ языков расширенной верификации
- \* Настраиваемая и открытая архитектура на основе интерфейсов C и Tcl/Tk
- \* Поддерживаемые ОС: UNIX, Linux 32 и 64 bit, и 32 bit Windows

### Высокая производительность среды верификации

Платформа верификации Questa(TM) от Mentor Graphics(R) сочетает высокую производительность при большой функциональности с наиболее широким выбором верификационных возможностей в отрасли. Аутентичная поддержка ассертной верификации (ABV), автоматизации тестов, верификации с опорой на тесты покрытия(CDV), осуществляется посредством высокопроизводительного анализатора ассертов, обработчика ограничений (Constraint Solver) и исчерпывающих возможностей исследования функционального покрытия. Этому же способствует функция "Управление верификацией", позволяющая извлекать максимальную пользу из унифицированной базы полноты покрытия (UCDB). Верификация функциональности маломощного дизайна может теперь быть проведена на уровне RTL при помощи моделирования с учётом потребляемой мощности (Power Aware Simulation). Этот исчерпывающий набор инструментов расширенной верификации может быть применен благодаря гибкой архитектуре и непревзойденной поддержке языков и разнообразных функций.

Questa работает с любыми проектами и любыми маршрутами верификации, она включает в себе лучшие технологии, и позволяет работать на всех уровнях абстракции необходимых для разработки сложных систем-на-кристалле и их проверки. Questa заметным образом увеличивает производительность и предсказуемость любого метода верификации, увеличивает качество проекта, дает тестирующим средства укладываться в сроки и достигать максимальной функциональности их разработок.

### Методология расширенной верификации



*В платформу Questa встроена возможность эффективно поддерживать разнообразные методы верификации. При помощи самостоятельно разработанной в Mentor поддержки ассертов, ограничений(constraints) и исследований полноты функционального покрытия(function coverage) появляется возможность оптимизировать маршрут верификации, так что это приведет к повышению предсказуемости и улучшению качества разработок.*

Посредством всесторонней поддержки языков SystemVerilog, SystemC, SystemC Verification (SCV) и библиотек моделирования на уровне транзакций (TLM) Questa позволяет применять методологию расширенной верификации (AVM). Метод "best practices" ("Хороший стиль") встроенный в методологию AVM значительно упрощает переход на объектно-ориентированные, с использованием классов методы верификации.

Эти методы зачастую связаны с использованием "многоязыковой" верификации, когда члены команды разработчиков используют различные языки на разных уровнях абстракции в зависимости от поставленных в каждом случае задач. Инженеры разработки и тестирующая команды должны иметь, в таком случае, средство и метод позволяющий им выбирать язык максимально подходящий для каждой конкретной задачи.

Благодаря единому ядру и многоязыковой среде разработки, которую использует Questa, тестбенчи AVM могут быть подключены к проектам на Verilog, VHDL, SystemVerilog, SystemC или проекты содержащие любую комбинацию этих языков.

Применение технологии AVM в среде Questa сводит на нет разногласия которые могут возникать между системотехниками и разработчиками, между RTL-инженерами и тестерами. Questa облегчает прохож-

дение маршрута проектирования и верификации от этапа разработки системы до верификации на вен- тильном уровне, применяя самый подходящий в каж- дом конкретном случае язык разработки или верифи- кации.

Questa обеспечивает верификацию с ассертами, тестирование условно случайными сигналами, верификацию на основе тестов покрытия на всех уровнях абстракции, так что все преимущества расширенной верификации могут быть реализованы как при разработке системы так и при работе на уровне реги- стровых задач.

AVM способствует задействованию многократно используемых тестовых блоков. Для этого предна- значена открытая библиотека параметризованных аб- страктных классов и функций. Хорошо прорабо- танные интерфейсы, на основе стандартной OSCI (Open SystemC Initiative) библиотеки TLM (моделиро- вание на уровне транзакций) на языках SystemC и SystemVerilog, позволяют использовать каждый ком- понент библиотеки многократно в различных разра- ботках модифицируя его для каждого конкретного применения без вреда для остальных элементов ди- зайна.

Методология AVM полностью задействует выгоды взаимодействия процессов, позволяя пользователям организовывать блокирующие и неблокирующие ка- налы соединения между компонентами. Полностью аутентичная поддержка возможностей верификации языка SystemVerilog — таких как блоки программы (program blocks), виртуальные интерфейсы и классы — обеспечивает абсолютную гибкость при создании сложных и всесторонних систем верификации, проек- тов регистрового и транзактного уровней, и соедине- ний между тестируемыми элементами и, собственно, компонентами проекта.

#### Автоматизация тестбенчей и верификация на ос- нове полноты покрытия

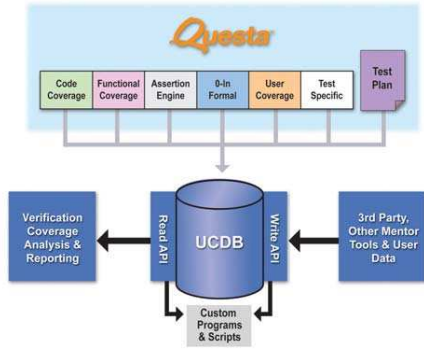
Функции верификации в Questa позволяют авто- матическое создание комплексных тестовых воздей- ствий, которые было бы очень трудно создать "вруч- ную". Сценарии тестовых входных сигналов могут быть описаны в терминах ограничений (constraints) в языке SystemVerilog или конструкций библиотеки SCV. Такая возможность генерации условно-случайных сигналов помогает вторично использовать тестовые блоки в новых проектах, а не писать новые. Это уве- личивает количество тестов которые можно провести, а значит увеличивает число выявленных ошибок, и покрывает большее пространство верификации.

Questa сочетает функциональное покрытие с

условно-случайным тестированием, при исследо- вании функциональности тестируемого блока по- средством автоматически сгенерированного те- ста. Используя метрики функционального покрытия (functional coverage metrics) как обратную связь при создании тестов, разработчики могут использовать ограничения для того, чтобы подвергнуть изучению и тестированию непокрытые элементы функциональ- ности. Метод автоматизации ведет к колоссальному приросту производительности по сравнению с узкона- правленными тестами построенными "вручную". Из- мерение функционального покрытия становится воз- можным при использовании директив покрытия языка PSL(Property Specification Language) вкупе с груп- пами и директивами покрытия языка SystemVerilog. Более того, тестирующие блоки способны динамиче- ски реагировать на данные от контрольных точек функционального покрытия. Как только во время мо- делирования определяется степень функционального покрытия, параметры генерации тестовых сигналов, могут видоизмениться с целью обеспечить верифи- кацию "недоисследованной" функциональности.

В Questa CDV и генерация условно-случайных те- стов взаимоподдерживают друг-друга, что улучшает производительность и предсказуемость. Автоматиза- ция генерированных тестов и случайный характер условно-случайных тестов позволяет производить те- стовые воздействия и сочетания условий, которые можно было не предусмотреть при детерминирован- ных тестах. Фактор случайности в генерации тестов требует способа определения того что в проекте под- верглось проверке, а что — нет. CDV — это как раз такой способ.

Управление верификацией



*Функция "Управление верификацией" (Verification Management) позволяет пользователям узнать тот момент, когда необходимое покрытие было достигнуто. Интегрированные средства соединяют, анализируют и предоставляют отчет по всем данным тестов покрытия от разных программных средств в единую базу данных.*

Применение условно-случайных тестовых воздействий и CDV существенно увеличивает количество получаемой в процессе верификации информации. База данных UCDB собирает всю информацию о покрытии: покрытие кода, покрытие функций, покрытие ассертов в единую базу данных. Функция "Менеджер верификации" вбирает в себя планы верификации и сопоставляет полноту покрытия с целями верификации представляя, таким образом, собой мощный инструмент для менеджеров и инженеров, дающий представление о текущем состоянии разработки и позволяющий эффективно распределять ресурсы.

Questa позволяет использовать мощные аналитические инструменты, преобразующие множественные данные по покрытию в понятную информацию, от которой можно отталкиваться. Например: классификация тестов по ценности определяет избыточные тесты (тесты не увеличившие функциональное покрытие) и показывает вклад в повышение общей полноты покрытия каждого из оставшихся тестов. Так как различные способы верификации проектов практикуемые в организациях могут задействовать ПО различных поставщиков и различные способы представления результатов, база данных UCDB в Questa определяет программный интерфейс (API) для чтения и записи в UCDB. Данные о полноте покрытия полученные от ПО третьей стороны можно включить в UCDB посредством программного интерфейса записи. Программный интерфейс чтения позволяет использовать сторонние алгоритмы анализа.

**Верификация на основе ассертов**

Questa снабжает пользователя самым совершенным в отрасли, основанным на стандартах методе расширенной ассертной верификации (ABV), представляя выбор между SystemVerilog, PSL или тем и другим вместе. Чтобы упростить введение в практику ABV, Questa включает в себя библиотеки ассертов SVA, PSL и OVL от компании Accellera вместе с собственной новой Questa Verification Library содержащей улучшенные программы проверки и стандартные мониторы протоколов для AMBA AHB, AXI, OCP, PCI-EXPRESS, USB, Ethernet и так далее. Questa объединяет ABV как с автоматизацией тестбенчей так и с CDV для создания полноценной среды расширенной верификации. ABV в качестве ключевого элемента использует ассерты, которые дают гарантию, что функции проекта исполняются исправно. Посредством поддержки стандартизованных языков верификации и ассертов и многоуровневых верификационных ядер (включающих моделирование, формальную верификацию и эмуляцию), Questa позволяет получать максимум от ассертов во время прохождения маршрута верификации, увеличивая производительность верификации и отладки, улучшая качество дизайна, и увеличивая предсказуемость результатов верификации

Так как ассерты повышают наблюдаемость элементов проекта, ошибки обнаруживаются близко от места их возникновения, существенно увеличивая эффективность отладки. Встроенный в Questa браузер PSL и SystemVerilog ассертов обнаруживает событие (event) которое с наибольшей вероятностью повлекло сигнал об ошибке от ассерта и указывает на место в исходном тексте где подозрительное событие произошло. Для этого применяется функция отладчика ассертов (assertion debugger). Такой подход значительно экономит время, расходуемое на анализ, и позволяет сразу добираться до корня ошибки. На практике, работа с ABV уменьшила время, которое требуется на то чтобы доискаться до ошибки и исправить её с 2-х дней до 2-х часов. Ассерты также могут быть использованы в связке с инструментами тестирующими полноту покрытия и увеличить эффективность верификации. Применение методологии ABV быстрее приближает завершение верификации путем применения метрик полноты покрытия определенными в SystemVerilog и PSL. База данных UCDB регистрирует данные по покрытию полученные от директив (покрытия) языка PSL и SystemVerilog. В то время как директивы покрытия (cover directives) отмечают покрытие событий (последовательностей событий), группы покрытия (covergroups) регистрируют статистику непосредственно по значениям данных в системе. Данные

способствуют тому, чтобы создавались такие тесты, которые улучшат функциональное покрытие и общую функциональность проекта. Questa интегрирует результаты тестов расширенного покрытия с данными о полноте покрытия по структуре, транзакциям, функциям. Все эти данные поступают при использовании ассертов давая мгновенную обратную связь о качестве, законченности и эффективности верификации.

**Высокая производительность**

Основой непревзойденной производительности и функциональности Questa является полностью самостоятельно разработанное единое ядро. Поддержка всех языков на одном ядре и в едином временном пространстве является хорошей платформой для высокой производительности. Кроме того, реализованная в Questa глобальная оптимизация известная как *vopt*, включает в себя очень действенные алгоритмы оптимизации компиляции и моделирования. Применение *vopt* позволяет улучшить производительность моделирования на языках Verilog/SystemVerilog а также смешанном VHDL-RTL описании до 6-и раз по сравнению с неоптимизированной компиляцией. Использование *vopt* может также улучшить производительность на вентиляльном уровне четырехкратно, а допустимый размер проекта - двукратно. Включение в единое ядро обеспечения SystemC ликвидирует узкие места присущие интеграциям по FLI и PLI интерфейсам, значительно улучшая время моделирования.

**Моделирование с учетом потребляемой мощности**

Для многих приложений огромную роль имеет низкое энергопотребление. Методы, которые необходимы для снижения потребляемой мощности представляют собой отдельные проектные и верификационные задачи, которые включают управление потребляемой мощностью, сохранение работоспособности, восстановление состояния и борьбу со сбоями. Обычно верификация таких функций производится введением специализированных цепей управления питанием непосредственно в RTL проект, или выполняется позже в пост-топологическом нетлисте.

Модуль Power Aware Functional Verification в платформе Questa гарантирует, что поведение введенных цепей управления питанием будет соответствовать их последующей реализации на кристалле. Вывод уровень абстракции цепей управления питанием на RTL уровень позволяет улучшить производительность и производить верификацию на ранних этапах проектирования. На обычный маршрут разработки RTL и на сам

код никакого вредного действия при этом не оказывается, так как Questa использует отдельный файл для описания цепей управления питанием. Верификации с учётом потребляемой мощности это зарекомендовавший себя метод успешного создания "малопотребляющих" систем-на-кристалле.

**Интегрированная мультиязыковая отладка**

Режим отладки в среде Questa — это самый производительный среди аналогичных программ метод находить и исправлять ошибки. Симулятор обеспечивает унифицированное ядро для языков Verilog, SystemVerilog, VHDL и SystemC с возможностью просмотра на уровне транзакций и анализом для подлинно многоязыковой отладки. Полностью интегрированная среда отладки поддерживает SystemVerilog наравне с отладчиком ассертов. Нет никакого периода адаптации при переходе на использование SystemC, так как абсолютно полноценный отладчик C работает как с SystemC так и с HDL-описанием совершенно одинаково.

Легкий в обращении пользовательский интерфейс Questa предлагает наилучшее в своем роде применение экранного пространства. Логичное расположение интерактивных элементов делает легким обращение с многообразными возможностями Questa. Интеграция возможностей разных языков улучшает производительность, окно просмотра памяти позволяет легко наблюдать и модифицировать содержимое памяти проекта.

**Масштабируемая Верификация (Scalable Verification(TM))**

Платформа Questa служит базой методологии верификации компании Mentor Graphics и позволяет объединение с другими продуктами Mentor, что делает возможным создание индивидуальных методов для решения каждой конкретной задачи. Проектировщики "железа" и тестеры могут включать встроенные блоки ПО как часть их среды тестирования. Возможность быстро импортировать программное обеспечение для использования его в качестве тестбенча, увеличивает полноту функционального покрытия и ускоряет моделирование. Интерфейс уровня транзакций между Questa и эмуляторами компании Mentor, позволяют производить быстрое моделирование элементов проекта с использованием тестбенчей на уровне транзакций. Верификация цифровых и цифро-аналоговых проектов гарантирует превосходную точность в работе.